

PAT-NO: JP406291239A  
DOCUMENT-IDENTIFIER: JP 06291239 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: October 18, 1994

## INVENTOR-INFORMATION:

NAME  
YAMAGISHI, AKIRA  
MURATAKE, KIYOSHI  
MATSUKI, HIROHISA

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A
SHINKO ELECTRIC IND CO LTD	N/A

APPL-NO: JP05079320

APPL-DATE: April 6, 1993

INT-CL (IPC): H01L023/50, H01L021/52 , H01L023/02

## ABSTRACT:

PURPOSE: To enable the same brazing material to be used in both a packaging process and an assembling process so as to simplify a semiconductor device manufacturing process.

CONSTITUTION: A brazing material 8 is used in both a process, wherein a metal film 7 is deposited on the surface of a pin bearing pad 3 provided to a package board 1, and the metal film 7 and a brazing material 8 which contains the element, of the metal film 7 as component element are alloyed together and

enhanced in melting point so as to join a lead pin 2 to the pin bearing pad 3,  
and a semiconductor device assembling process wherein a  
brazing operation is  
carried out onto the package board 1, and the metal film 7  
is formed of gold  
(Au), and the brazing material 8 is eutectic alloy of gold  
(Au)-tin (Sn) .

COPYRIGHT: (C)1994,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-291239

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 23/50	P 9272-4M			
	L 9272-4M			
21/52	C 7376-4M			
// H 01 L 23/02	C			

審査請求 未請求 請求項の数 2 O L (全 3 頁)

(21)出願番号 (22)出願日	特願平5-79320 平成5年(1993)4月6日	(71)出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地 (71)出願人 000190688 新光電気工業株式会社 長野県長野市大字栗田字舍利田711番地 (72)発明者 山岸 明 長野県長野市大字栗田字舍利田711番地 新光電気工業株式会社内 (72)発明者 村竹 清 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 (74)代理人 弁理士 井桁 貞一
---------------------	------------------------------	-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

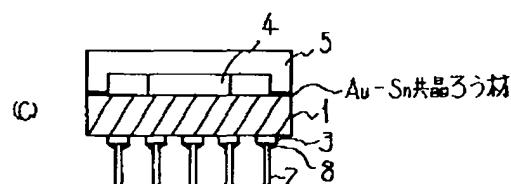
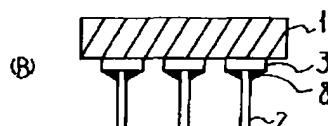
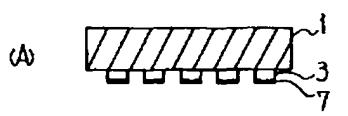
(57)【要約】

【目的】 半導体装置の製造方法に関し、パッケージ工程と組立工程を通じて同一ろう材の使用を可能にして、工程の簡易化を図ることを目的とする。

【構成】 1) パッケージ基板1に設けられたピン受けパッド3の表面に金属膜7を被着し、リードピン2を該ピン受けパッド3に該金属膜7を一成分とするろう材8を用いて該金属膜7と該ろう材8とを合金化し且つ高融点化して接合する工程と、次いで、該パッケージ基板1を用いて半導体装置の組立工程におけるろう付けを行う際に該ろう材8を用いる。

2) 前記金属膜7が金(Au)膜であり、前記ろう材8が金(Au)-錫(Sn)共晶合金であるように構成する。

実施例の説明図



1

## 【特許請求の範囲】

【請求項1】 パッケージ基板(1)に設けられたピン受けパッド(3)の表面に金属膜(7)を被着し、リードピン(2)を該ピン受けパッド(3)に該金属膜を一成分とするろう材(8)を用いて該金属膜と該ろう材とを合金化し且つ高融点化して接合する工程と、次いで、該パッケージ基板を用いて半導体装置の組立工程におけるろう付けを行う際に該ろう材を用いることを特徴とする半導体装置の製造方法。

【請求項2】 前記金属膜(7)が金(Au)膜であり、前記ろう材(8)が金(Au)-錫(Sn)共晶合金であることを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特にパッケージ製造工程および組立工程におけるろう付け方法に関する。

【0002】 本発明はパッケージのピンの接合と組立工程(例えばチップポンディングあるいは封止)の接合と同じ金属接合材(ろう材)を用いて、工程の簡易化を図ることができる。

## 【0003】

【従来の技術】 図2(A), (B)は従来例によるろう付け方法を説明する断面図である。以下、本発明ではパッケージのピンのろう付けと封止工程のろう付けについて説明する。

【0004】 図2(A)において、パッケージ基板1にリードピン2を接合する場合、パッケージ基板1にピン受けパッド3を設け、これにリードピン2を金属ろう材を用いてろう付けする。

【0005】 この場合、すでにパッケージ基板1内に配線が形成されているときは、ピンの外形カット等の工程を経てパッケージとして完成する。また、パッケージ基板1内に配線が形成されていないときは、配線形成等の工程を経てパッケージとして完成する。

【0006】 図2(B)において、完成されたパッケージに半導体チップ4をポンディングし、キャップ5とパッケージ基板1とをろう付けにより気密封止を行い、試験工程等を経て完成された半導体装置は実装基板6に実装される。

【0007】 図2(B)のそれぞれの工程に用いられるろう材は図2(A)のパッケージ製造で用いられたろう材の融点およびパッケージ基板上の配線層と絶縁層の耐熱温度より融点が低いろう材を使用している。

【0008】 その理由は、配線層と絶縁層の耐熱温度より融点が高いろう材を用いるとこれらの層が破壊されてしまい、またパッケージ製造で用いられたろう材より高い融点のろう材を用いるとピンの脱落や封止部のリークが発生するためである。

【0009】 次に、パッケージ工程のろう材と、組立工

2

程に用いられている低融点のろう材の一例を示す。

パッケージ工程:	
リードピンの接合	共晶Ag/Cu(融点 780°C)
封止	共晶Au/Sn(融点 280°C)
ポンディング	共晶でないAu/Snまたは、Pb/Sn(融点約 180°C)
組立工程:	In/Sn 等

## 【0010】

【発明が解決しようとする課題】 従来例では、パッケージ工程と組立工程に別々のろう材を使用するが、この場合、組立工程ではできるだけ低融点のろう材が望ましく通常低融点のろう材が用いられている。したがってパッケージ工程でのろう材は高融点のろう材を使用しなければならず、複数種のろう材を用いることにより工程管理が複雑になり、誤用するおそれがあった。

【0011】 一般的に、低融点のろう材は高融点のろう材より信頼性が低く、従って、低融点のろう材で信頼性を満足する工程は限られており、また、同一のろう材を各工程内で複数回利用できることが望ましい。

【0012】 本発明はパッケージ工程と組立工程を通じて同一ろう材の使用を可能にして、工程の簡易化を図ることを目的とする。

## 【0013】

【課題を解決するための手段】 上記課題の解決は、

- 1) パッケージ基板1に設けられたピン受けパッド3の表面に金属膜7を被着し、リードピン2を該ピン受けパッド3に該金属膜を一成分とするろう材8を用いて該金属膜と該ろう材とを合金化し且つ高融点化して接合する工程と、次いで、該パッケージ基板を用いて半導体装置の組立工程におけるろう付けを行う際に該ろう材を用いる半導体装置の製造方法、あるいは
- 2) 前記金属膜7が金(Au)膜であり、前記ろう材8が金(Au)-錫(Sn)共晶合金であるような前記1)記載の半導体装置の製造方法により達成される。

## 【0014】

【作用】 本発明はパッケージ製造工程に使用した金属接合材と同等、または高融点の金属接合材でも後工程で使用できるようにするために、パッケージの接合面であるパッドにメッキやスパッタ等により金属膜を被着した後に金属接合材でピンを接合すると、該金属膜と金属接合材が合金化して融点が高くなることを利用したものである。ただし該金属膜は種類によっては反対に融点が低くなることがあるので、例えば金属接合材として共晶合金を用い、該金属膜として共晶合金の成分金属を用い、共晶合金へのその成分金属の添加量は相図にしたがって所望の融点が実現できるように決めればよい。

## 【0015】

【実施例】 図1(A)～(C)は本発明の実施例の説明図である。この例では、リードピンを接合するのに共晶金錫ろう材を使用したパッケージを、同じ共晶金錫ろう材で

3

気密封止する場合について説明する。

【0016】図1(A)において、パッケージ基板1に設けられたピン受けパッド(直径1.80mm)3にメッキにより厚さ4μmの金(Au)膜7を被着する。図1(B)において、リードピン(直径0.45mm)2をAu-Sn共晶金属ろう材8によりピン受けパッド3に接合する。

【0017】この際、Au膜7とAu-Sn共晶金属ろう材8とが融合し合金化して、Au-Snの組成比率が変わり融点は共晶点より高温となる。この場合、すでにパッケージ基板1内に配線が形成されているときは、ピンの外形カット等の工程を経てパッケージとして完成する。また、パッケージ基板1内に配線が形成されていないときは、配線形成等の工程を経てパッケージとして完成する。

【0018】図1(C)において、パッケージ1に半導体チップ4をろう付けにより付け、キャップ5とパッケージ基板1とをAu-Sn共晶金属ろう材を用いたろう付けにより気密封止を行い、その後試験工程等を経て半導体装置として完成する。

【0019】気密封止のろう付け温度はリードピンのろう付け温度とはほぼ同じでよい。気密封止のろう付けの際、リードピンのろう付けに使用したAu-Sn共晶金属ろ

10

20

う材は成分が変わって融点が上昇しているので、封止工程時の熱で融解することなく影響を受けない。

【0020】ここに、Au-Sn共晶温度は280°Cであり、実施例で成分が変わった後のろう材の融点は約400°Cであった。

【0021】

【発明の効果】本発明によれば、パッケージ工程と組立工程を通じて同一ろう材の使用を可能にして、工程の簡易化とろう材の誤用の防止に寄与することができた。

【図面の簡単な説明】

【図1】 本発明の実施例の説明図

【図2】 従来例によるろう付け方法を説明する断面図

【符号の説明】

1 パッケージ基板

2 リードピン

3 ピン受けパッド

4 半導体チップ

5 キャップ

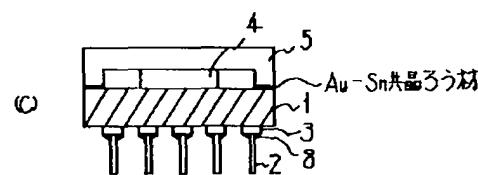
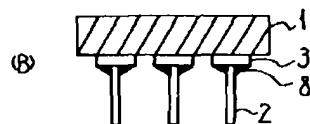
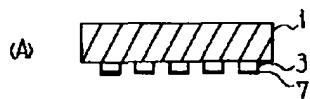
6 実装基板

7 金(Au)膜

8 Au-Sn共晶金属ろう材

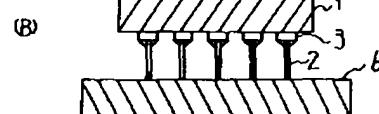
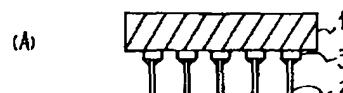
【図1】

実施例の説明図



【図2】

従来例のろう付けを説明する断面図



フロントページの続き

(72)発明者 松木 浩久

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内